**Perancangan Rangkaian Sekuensial**

Yulvi Hidayati (15/386045/SV/09431)

Laboratorium Elektronika dan Instrumentasi

Departemen Teknik Elektro dan Informatika Sekolah Vokasi

Universitas Gadjah Mada Yogyakarta

Email: hidayatiyulvi@gmail.com

***Abstract*— Rangkaian sekuensial adalah rangkaian logika yang kondisi keluarannya dipengaruhi oleh masukan dan keadaan keluaran sebelumnya atau dapat dikatakan rangkaian yang bekerja berdasarkan urutan waktu, jika pada praktikum sebelumnya adalah tahap perkenalan rangkaian sekuensial pada praktikum ini praktikan merancang rangkaian sekuensial yang dirancang menggunakan metode FSM (*finite state machine*) keluaran-nya bergantung pada masukan dan keluaran sebelumnya**.

*Kata kunci:* Rangkaian sekuensial, Dflip-flop,FSM, Register, *clock*

**1.Latar Belakang**

Rangkaian ini bersifat sekuensial, yaitu keluaran rangkaian tergantung dari keadaan rangkaian sebelumnya danmembutuhkan elemen penyimpan berupa flip-flop

**F**SM adalah sebuah metodologi perancangan sistem kontrol yang menggambarkan tingkah laku atau prinsip kerja sistem dengan menggunakan tiga hal berikut: *State* (Keadaan), *Event* (kejadian) dan action (aksi). Pada satu saat dalam periode waktu yang cukup signifikan, sistem akan berada pada salah satu *state* yang aktif. Sistem dapat beralih atau bertransisi menuju *state* lain jika mendapatkan masukan atau *event* tertentu, baik yang berasal dari perangkat luar atau komponen dalam sistemnya itu sendiri.

II. METODE PERCOBAAN

1. Alat dan Bahan

* Pc dengan software Altera
* ModelSim-Altera
* FPGA

1. Prosedur Percobaan
2. Buat rangkaian sesuai yang ada di *jobsheet* 5
3. Membuat Blinking LED dengan rangkaian *clock* *divider* dengan menggunakan rangkaian symbol dari D flip-flop pendekatan nand yang terdapat pada praktikum sebelumnya
4. Atur frekuensi dengan menggandakan rangkaian symbol
5. Setelah blinking led sudah sesuai dengan frekuensi yang diinginkan buat symbol *clock* dari rangkaian tersebut untuk digunakan pada rangkaian berikutnya.
6. Selanjutnya buat FSM pada soal studi kasus untuk bisa mendapatkan tabel kebenaran dan fungsi rangkaian
7. Rangkai *combinatonal circuit* yang dibuat pada quartus dan masukkan *output next* *state* ke dalam data register yang yang merupakan suatu rangkaian/symbol D flip-flop, 1 bit register adalah 1 D flip-flop
8. Gabungkan *clock* yang telah dibuat pada register untuk pengatur waktu.

III. HASIL PERCOBAAN

. Hasil percobaan berupa :

* Gambar rangkaian bdf (terlampir)
* Perancangan rangkaian metode FSM (terlampir)

IV. ANALISA

Dari praktikum yang telah dilaksanakan yaitu perancangan rangkaian sekuensial pada percobaan pertama yaitu membuat sebuah *clock* dengan memanfaatkan rangkaian D flip-flop, *clock* tersebut bertujuan sebagai pengontrol data masukan pada jalur data, dalam hal ini Dflip-flop dengan *clock* adalah dasar memori 1 bit. Kecepatan *clock* dapat diatur dengan berapa besar frekuensi yang diinginkan dengan cara membagi keluaran frekuensi *hardware* dengan 2 sampai menjadi frekuensi yang diidnginkan, pada percobaan ini *clock* *divider* dibuat dengan menggabungkan symbol D flip-flop sebanyak 24, setelah di amati hasilnya pada FPGA blinking led berjalan , dengan kecepatan 1 detik 2 kali terjadi blink yang berarti ½ , jadi rumus perhitungannya , n disini merupakan jumlah D flip-flop yang digunakan.

Setelah membuat rangkaian *clock* selanjutnya mengimpelematisakan *clock* tersebut pada rancangan rangkaian sekuensial dari soal studi kasus, untuk dapat membuat rancangan sekuensial yang mempunyai *state* ataukondisi yang berbeda dimana keluarannya bergantung pada masukan dan keluaran sebelumnya hal ini memerlukan rangkaian dasar memori dalam hal ini adalah D flip-flop dengan enable *clock* yang telah di buat sebelumnya , selanjutnya menggunakan metode FSM untuk mendapatkan fungsi rangkaian , hasil rangkaian dan pengerjaan dengan metode FSM dapat dilihat pada data terlampir.

V. KESIMPULAN

1. sinyal *clock* pada rangkaian sekuensial digunakan untuk mengontrol operasi rangkaian, *clock* aktif menunjukkan transisi *clock* yang menyebabkan terjadinya perubahan *state*/keadaan.Transisi bisa positif atau negative

2. Langkah pertama untuk mendesain FSM adalah

dengan menentukan berapa keadaan (*state*) yang

dibutuhkan dan transisi apa yang mungkin dari

satu keadaan ke keadaan lain

REFERENSI

[1] Mareta, Rella .2017. Modul praktikum Elektronika Digital Lanjut. Yogyakarta

[2] Eko Didik Widianto.2017. Rangkaian Sekuensial Sinkron Kuliah#16 TKC205 - Sistem Digital. Diambil dari http://didik.blog.undip.ac.id

pada tanggal 28 september 2017